

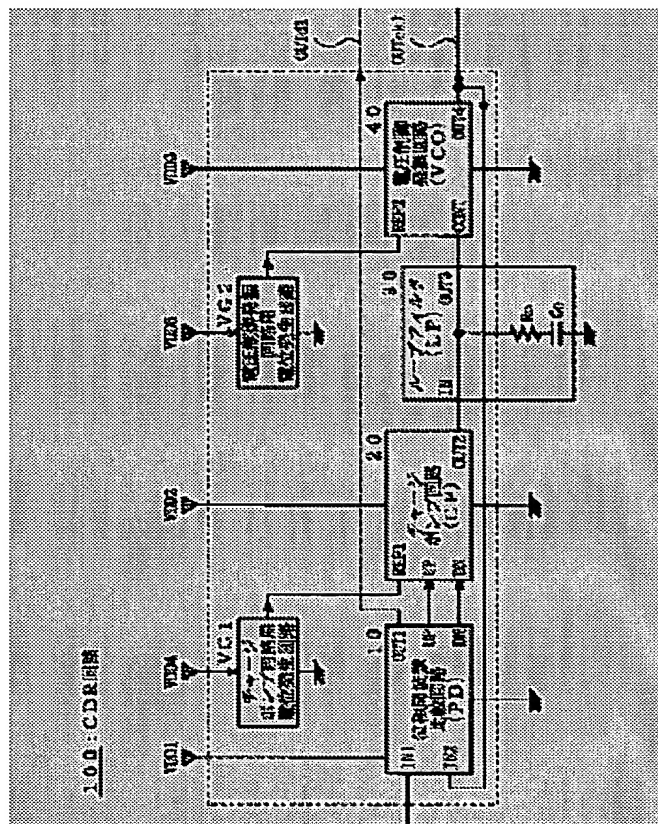
CDR CIRCUIT

Patent number: JP2002359555
Publication date: 2002-12-13
Inventor: OTOMO YUSUKE
Applicant: NIPPON TELEGR & TELEPH CORP
Classification:
 - **International:** H03L7/093; H03L7/099
 - **European:**
Application number: JP20010166315 20010601
Priority number(s):

Abstract of JP2002359555

PROBLEM TO BE SOLVED: To provide a CDR circuit which enables the change of its bandwidth fbw to be reduced with respect to the temperature or power voltage variation, thereby supplying a circuit at a high design and manufacturing margins, meeting both the jitter transfer characteristics and the jitter tolerance characteristics in the specified temperature and source voltage ranges.

SOLUTION: The CDR circuit has one chip mounting a phase frequency comparator circuit, a charge pump circuit, a loop filter and a voltage controlled oscillator circuit, and a charge pump circuit potential generator circuit mounted on one chip generating a reference potential for setting the output current of the charge pump circuit, so as to compensate the temperature and source voltage variations of the output current of the charge pump circuit.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-359555
(P2002-359555A)

(43)公開日 平成14年12月13日 (2002. 12. 13)

(51)Int.Cl.⁷

H 0 3 L 7/093
7/099

識別記号

F I

H 0 3 L 7/08

ターム(参考)

E 5 J 1 0 6
F

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21)出願番号 特願2001-166315(P2001-166315)

(22)出願日 平成13年6月1日 (2001. 6. 1)

(71)出願人 000004226

日本電信電話株式会社
東京都千代田区大手町二丁目3番1号

(72)発明者 大友 祐輔

東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内

(74)代理人 100087446

弁理士 川久保 新一

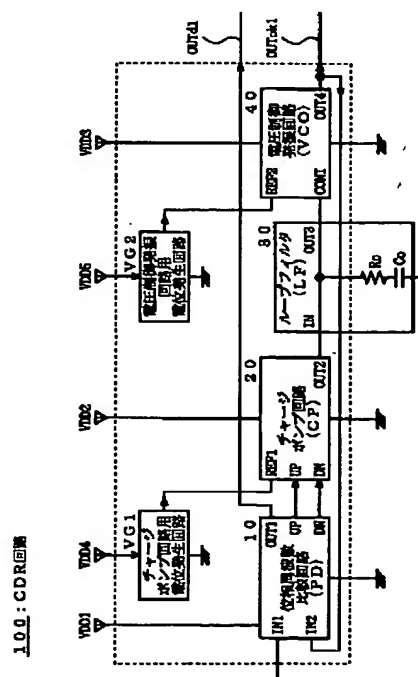
Fターム(参考) 5J106 AA04 CC01 CC24 CC41 DD32
EE02 EE03 GG01 GG15 JJ01
JJ08 KK05 KK25 LL01

(54)【発明の名称】 CDR回路

(57)【要約】

【課題】 温度、電源電圧変動に対して、CDR回路のバンド幅 f_{bw} の変化量を削減することができ、したがって、規格温度、電源電圧範囲で、ジッタトランスファ特性とジッタトレランス特性との双方を満足する回路を、高い設計製造マージンで供給することができるCDR回路を提供することを目的とするものである。

【解決手段】 、位相周波数比較回路と、チャージポンプ回路と、ループフィルタと、電圧制御発振回路とを搭載している1つのチップと、チャージポンプ回路の出力電流量を設定するレファレンス電位であって、チャージポンプ回路の出力電流の温度・電源電圧変動を補償するレファレンス電位を発生し、1つのチップに搭載されているチャージポンプ回路用電位発生回路とを有するCDR回路である。



【特許請求の範囲】

【請求項1】 位相周波数比較回路と、チャージポンプ回路と、ループフィルタと、電圧制御発振回路とを具備するCDR回路において、

上記位相周波数比較回路と、上記チャージポンプ回路と、上記ループフィルタと、上記電圧制御発振回路とを搭載している1つのチップと；上記チャージポンプ回路の出力電流量を設定するレファレンス電位であって、上記チャージポンプ回路の出力電流の温度・電源電圧変動を補償する上記レファレンス電位を発生し、上記1つのチップに搭載されているチャージポンプ回路用電位発生回路と；を有することを特徴とするCDR回路。

【請求項2】 位相周波数比較回路と、チャージポンプ回路と、ループフィルタと、電圧制御発振回路とを具備するCDR回路において、

上記位相周波数比較回路と、上記チャージポンプ回路と、上記ループフィルタと、上記電圧制御発振回路とを搭載している1つのチップと；上記電圧制御発振回路のゲインを設定するレファレンス電位であって、上記電圧制御発振回路のゲインの温度・電源電圧変動を補償するレファレンス電位を発生し、上記1つのチップに搭載されている電圧制御発振回路用電位発生回路と；を有することを特徴とするCDR回路。

【請求項3】 位相周波数比較回路と、チャージポンプ回路と、ループフィルタと、電圧制御発振回路とを具備するCDR回路において、

上記位相周波数比較回路と、上記チャージポンプ回路と、上記ループフィルタと、上記電圧制御発振回路とを搭載している1つのチップと；上記チャージポンプ回路の出力電流量を設定するレファレンス電位であって、上記チャージポンプ回路の出力電流の温度・電源電圧変動を補償する上記レファレンス電位を発生し、上記1つのチップに搭載されているチャージポンプ回路用電位発生回路と；上記電圧制御発振回路のゲインを設定するレファレンス電位であって、上記電圧制御発振回路のゲインの温度・電源電圧変動を補償するレファレンス電位を発生し、上記1つのチップに搭載されている電圧制御発振回路用電位発生回路と；を有することを特徴とするCDR回路。

【請求項4】 請求項3において、

上記位相周波数比較回路と、上記チャージポンプ回路と、上記電圧制御発振回路とに電圧を供給し、上記1つのチップ上に設けられているシリーズレギュレータ回路と；上記シリーズレギュレータ回路のレファレンス電位であって、上記CDR回路のバンド幅を一定に保つように、上記シリーズレギュレータ回路の出力電位の温度・電源電圧を補償するレファレンス電位を発生するシリーズレギュレータ回路用電位発生回路と；を有することを特徴とするCDR回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CDR（クロックアンドデータリカバリ）回路に関し、特に、SONET/SDHのジッタ規格を、高いマージンで満足するCDR回路に関する。

【0002】

【従来の技術】図5は、従来のCDR回路500を示す図である。

【0003】従来のCDR回路500は、位相周波数比較回路（PD）10と、チャージポンプ回路（CP）20と、ループフィルタ（LF）30と、電圧制御発振回路（VOC）40とを有し、位相周波数比較回路10と、チャージポンプ回路20と、電圧制御発振回路40とが、同一のチップ上に搭載されている。

【0004】ループフィルタ30は、抵抗R_oと容量C_oとが直列に接続されているラグリードフィルタであり、CDR回路500が搭載されているチップの外部に設けられている。

【0005】位相周波数比較回路10は、第1の入力端子IN1と、第2の入力端子IN2と、出力端子OUT1とを有する。第1の入力端子IN1は、CDR回路500のデータ入力端子に接続され、第2の入力端子IN2は、電圧制御発振回路40の出力端子OUT4に接続されている。位相周波数比較回路10の出力端子OUT1は、CDR回路500のデータ出力端子OUTd5に接続されている。

【0006】位相周波数比較回路10の出力端子UP、DNは、チャージポンプ回路20の入力端子UP、DNにそれぞれ接続されている。

【0007】チャージポンプ回路20の出力端子OUT2は、ループフィルタ30の入力端子INに接続され、ループフィルタの出力端子OUT3は、電圧制御発振回路40の周波数制御端子CONTに接続されている。

【0008】電圧制御発振回路40の出力端子OUT4は、CDR回路500のクロック出力端子OUTck5に接続されている。

【0009】従来のCDR回路500において、チャージポンプ回路20は、レファレンス入力端子REF1を有し、レファレンス入力端子REF1は、外部端子VR1に接続されている。

【0010】また、電圧制御発振回路40のレファレンス入力端子REF2は、外部端子VR2に接続されている。

【0011】従来のCDR回路500において、位相周波数比較回路10、チャージポンプ回路20、電圧制御発振回路40の各電源端子は、それぞれ、上記チップの外部に設けられている端子VDD1、VDD2、VDD3に接続されている。また、位相周波数比較回路10、チャージポンプ回路20、ループフィルタ30、電圧制御発振回路40の各グランド端子は、上記チップの外部

で接地されている。

【0012】上記従来のCDR回路500は、次の参考文献に記載されている。

【0013】参考文献1：A 2-1600MGz 1.2-2.5V CMOS Clock-Recovery PLL with FeedbackPhase-Selection and Averaging Phase-Interpolation for Jitter Reduction, Patrik Larsson, IEEE International Solid-State Circuits Conference, Digest of Technical Papers p.356-357, February 1999.

【0014】参考文献2：A 2-1600MHz 1.2-2.5V CMOS Clock-Recovery PLL with FeedbackPhase-Selection and Averaging Phase-Interpolation for Jitter Reductionのp357, Figure 20.6.3内のCurrent generator参照。

【0015】次に、従来のCDR回路500の動作について、説明する。

【0016】CDR回路500において、位相周波数比較回路10の端子IN1に、ジッタを含むデータが入力され、この入力されたデータから、クロックを抽出し、この抽出されたクロックを、電圧制御発振回路40の出力端子OUT4から出力し、上記出力されたクロックでリタイミングしたデータを、位相周波数比較回路10の出力端子OUT1から出力する。

【0017】電圧制御発振回路40で発生したクロックと入力データとについて、それらの周波数と位相とを、位相周波数比較回路10において比較する。ここで、電圧制御発振回路40で発生したクロックの位相が、入力データの位相よりも遅れていると、位相周波数比較回路10は、UP信号を出力し、チャージポンプ回路20が、一定の電流をループフィルタ30に充電する。これによって、ループフィルタ30の出力端子OUT3の電位が上昇し、遅れていた出力クロックの位相を、入力データの位相に合致するように、電圧制御発振回路40が、出力クロックの位相を制御する。

【0018】一方、発生したクロックの位相が、入力データの位相よりも進んでいると、位相周波数比較回路10は、DN信号を出力し、チャージポンプ回路20が、一定の電流を、ループフィルタ30から放電する。これによって、ループフィルタ30の出力端子OUT3の電位が降下し、電圧制御発振回路40が出力したクロックの周波数が低下し、進んでいた出力クロックの周波数が低下する。よって、電圧制御発振回路40が出力していた進んでいた出力クロックの位相が、入力データの位相に合致するように、制御される。

【0019】上記のようにして、入力データの位相と合致したクロックが出力される。

【0020】図6は、チャージポンプ回路20の回路を示す図である。

【0021】位相周波数比較回路10の出力端子UPに出力される出力信号によって、チャージポンプ回路20を構成するPMOSTランジスタがオン状態になり、出

力端子OUT2に電流 I_p を流す。

【0022】一方、位相周波数比較回路10の出力端子DNに出力される出力信号によって、チャージポンプ回路20を構成するNMOSTランジスタがオン状態になり、出力端子OUT2から電流 I_p を引き抜く。

【0023】上記のようにして、レファレンス電位端子REF1に与える電圧に応じて、電流 I_p を設定する。

【0024】図7は、電圧制御発振回路40の回路例を示す図である。

【0025】図5に示すループフィルタ30の出力電位を、電圧制御発振回路40の周波数制御端子CONTに入力することによって、ダイオードの接合容量が変化し、インダクタとのLC共振によって、出力端子OUT4にクロックを出力する。

【0026】電圧制御発振回路40の端子CONTにおける電圧の変化に対する発振周波数の変化が、電圧制御発振回路40のゲイン K_{40} である。端子REF2に与える電圧を調整することによって、発振回路に流れる電流が設定され、この設定された電流に応じて、発振周波数とゲインとを調整することができる。

【0027】

【発明が解決しようとする課題】上記従来例において、CDR回路500をSDH仕様の装置に使用する場合、ITU-T G958pp. 12-15に示されるジッタトランスファ特性とジッタトレランス特性とを、ともに満足する必要がある。

【0028】図8は、従来のCDR回路500において、STM-16 (2.5Gb/s動作)仕様を例として、ジッタトランスファ特性とジッタトレランス特性とを示す図である。

【0029】図8(1)は、従来のCDR回路500におけるジッタトランスファ特性を示す図であり、図8(2)は、従来のCDR回路500におけるジッタトレランス特性を示す図である。

【0030】図8に示すように、STM-16 (2.5Gb/s動作)仕様において、ジッタトランスファ特性とジッタトレランス特性との双方を、高い設計マージンで満足することが、従来のCDR回路500では困難である。

【0031】つまり、CMOSデバイスでは、温度や電源電圧に対するトランジスタ特性の変動が大きく、そのCMOSデバイスを用いたCDR回路500では、ジッタトランスファ特性とジッタトレランス特性との双方を高い設計マージンで満足することが困難である傾向が顕著である。

【0032】ところで、「ジッタトランスファ特性」は、入力データに含まれているジッタの振幅 m [UIpp]が、CDR回路500を通過することによって減衰する度合を、ジッタの周波数 f [MHz]との関係で示す特性である。

【0033】また、図8中の点線よりも下に、「CDRのジッタトランスファ特性」が位置しなければ、規格を満足しない。よって、図8中の点線のカットオフ周波数 f_c である2MHzよりも十分小さくなるように、CDR回路500のバンド幅 f_{bw} を設計する必要がある。

【0034】実際には、CDR回路500のバンド幅 f_{bw}

$$\text{バンド幅 } f_{bw} \propto R_o \cdot I_p \cdot K_{40} \cdot K_{10} \dots \text{式(1)}$$

上記従来例において、温度が下がると、ジッタトランスファ特性が、低温時におけるCDRのジッタトランスファ特性 T_l に近づき、図8に示すように、ジッタトランスファのバンド幅 f_{bw} が延びるので、低温 T_l 時のバンド幅を基準にし、標準温度 T_n でのバンド幅 f_{bw} を約1.5MHz未満に設定しなければならない。

$$J_{tran}(s) = 1 / \{1 - J_{tol}(s)\} \dots \text{式(2)}$$

ジッタトレランスの規格では、点線で示した図8中の点線よりも上に、ジッタトランスファ特性が位置しなければならない。よって、図5に示すループフィルタ30の抵抗値 R_o と、チャージポンプ回路20の電流値 I_p と、電圧制御発振回路のゲイン K_{40} とによって、標準温度 T_n において、図8中の点線の十分上に、ジッタトランスファ特性が位置するように設計する。

【0038】上記従来例において、温度が上がると、図8に示すように、ジッタ周波数0.1MHz付近でジッタトレランスが足りなくなるので、高温時におけるCDRのジッタトランスファ特性 T_h を基準にし、標準温度 T_n でのバンド幅 f_{bw} を設定しなければならない。

【0039】よって、ジッタトランスファ特性では、バンド幅 f_{bw} を下げることによって、温度マージンが増し、ジッタトレランス特性では、バンド幅 f_{bw} を上げることによって温度マージンが増すことがわかる。

【0040】したがって、温度や電源電圧変動によって、チャージポンプ電流 I_p や、電圧制御発振回路40のゲイン K_{40} が大きく変化する従来のCDR回路500では、設計時のバンド幅に、狭隘な最適値しか残らず、製造歩留まりが低いという問題がある。

【0041】本発明は、温度、電源電圧変動に対して、CDR回路のバンド幅 f_{bw} の変化量を削減することができ、したがって、規格温度、電源電圧範囲で、ジッタトランスファ特性とジッタトレランス特性との双方を満足するCDR回路を、高い設計製造マージンで提供することを目的とするものである。

【0042】

【課題を解決するための手段】本発明は、位相周波数比較回路と、チャージポンプ回路と、ループフィルタと、電圧制御発振回路とを搭載している1つのチップと、チャージポンプ回路の出力電流量を設定するレファレンス電位であって、チャージポンプ回路の出力電流の温度・電源電圧変動を補償するレファレンス電位を発生し、1つのチップに搭載されているチャージポンプ回路用電位発生回路とを有するCDR回路である。

f_{bw} は、図5に示すループフィルタ30の抵抗値 R_o と、チャージポンプ回路20の電流値 I_p と、電圧制御発振回路40のゲイン K_{40} と、位相周波数比較回路10のゲイン K_{10} とに、ほぼ比例し、次の式(1)に示すようになる。

【0035】

【0036】一方、「ジッタトレランス特性」 $J_{tran}(s)$ は、ジッタトランスファ特性($\{1 - J_{tol}(s)\}$)の逆数として、次の式(2)のように示される。

【0037】

【0043】

【発明の実施の形態および実施例】図1は、本発明の第1の実施例であるCDR回路100を示す回路図である。

【0044】CDR回路100は、位相周波数比較回路(PD)10と、チャージポンプ回路(CP)20と、ループフィルタ(LF)30と、電圧制御発振回路40に加え、チャージポンプ回路用電位発生回路VG1、電圧制御発振回路用電位発生回路VG2とを有する回路である。

【0045】また、位相周波数比較回路10と、チャージポンプ回路20と、ループフィルタ30と、電圧制御発振回路40と、チャージポンプ回路用電位発生回路VG1と、電圧制御発振回路用電位発生回路VG2とは、1つのチップに搭載されている。

【0046】ループフィルタ30は、抵抗 R_o と容量 C_o とを直列に接続したラグリードフィルタであり、このラグリードフィルタは、上記1つのチップの外部に設けられている。

【0047】位相周波数比較回路10の第1の入力端子IN1は、CDR回路100のデータ入力端子に接続されている。位相比較回路10の第2の入力端子IN2は、電圧制御発振回路40の出力端子OUT4に接続され、出力端子OUT4は、CDR回路100のクロック出力端子OUTck1に接続されている。位相周波数比較回路10の出力端子OUT1は、CDR回路100のデータ出力端子OUTd1に接続され、位相周波数比較回路10の出力端子UP、DNは、チャージポンプ回路20の入力端子UP、DNにそれぞれ接続されている。

【0048】チャージポンプ回路20の出力端子OUT2は、ループフィルタ20の入力端子INに接続され、ループフィルタ30の出力端子OUT3は、電圧制御発振回路40の周波数制御端子CONTに接続されている。

【0049】CDR回路100において、チャージポンプ回路20のレファレンス入力端子REF1は、チャー

ジボンプ回路用電位発生回路VG1の電位出力端子に接続されている。電圧制御発振回路40のレファレンス入力端子REF2は、電圧制御発振回路用電位発生回路VG2の電位出力端子に接続されている。

【0050】CDR回路100では、位相周波数比較回路10、チャージボンプ回路20、電圧制御発振回路40、チャージボンプ回路用電位発生回路VG1、電圧制御発振回路用電位発生回路VG2の各電源端子は、それぞれ、VDD1、VDD2、VDD3、VDD4、VDD5であり、上記チップの外部に設けられている。また、位相周波数比較回路10、チャージボンプ回路20、ループフィルタ30、電圧制御発振回路40、チャージボンプ回路用電位発生回路VG1、電圧制御発振回路用電位発生回路VG2の各グランド端子は、上記1つのチップの外部で接地されている。

【0051】次に、CDR回路100の動作について説明する。

【0052】CDR回路100は、位相周波数比較回路10の入力端子IN1に入力したジッタを含むデータから、クロックを抽出し、この抽出されたクロックを、電圧制御発振回路40の出力端子OUT4から出力し、そのクロックでリタイミングしたデータを、位相周波数比較回路10の出力端子OUT1から出力する回路である。電圧制御発振回路40で発生したクロックと、入力データの立ち上がり（または降下）エッジの時間点を、位相周波数比較回路10で比較する。

【0053】電圧制御発振回路40で発生したクロックの位相が、入力データの位相よりも遅れているときには、位相周波数比較回路10は、UP信号を出し、チャージボンプ回路20から一定の電流をループフィルタ30に充電する。これによって、ループフィルタ30の出力端子OUT3の電位が上昇し、電圧制御発振回路40の出力クロックの周波数が高まる。

【0054】よって、電圧制御発振回路40の出力クロックの遅れていた位相が、入力データの位相に合致する方向に制御される。

【0055】一方、電圧制御発振回路40で発生したクロックの位相が、入力データの位相よりも進んでいるときには、位相周波数比較回路10は、DN信号を出力し、ループフィルタ30から、チャージボンプ回路20に一定の電流を放電する。これによって、ループフィルタ30の出力端子OUT3の電位が降下し、電圧制御発振回路40の出力クロックの周波数が低下する。

【0056】よって、電圧制御発振回路40が出力したクロックの位相が進んでいると、入力データの位相に合致する方向に、その出力クロックが制御される。したがって、入力データと位相の合致したクロックを、CDR回路100が出力する。

【0057】チャージボンプ回路20の回路例は、図6に示す回路である。

【0058】CDR回路100において、チャージボンプ回路20のレファレンス電位REF1は、上記1つのチップの外部または内部で、設定されている一定値ではなく、上記1つの同一チップ上に配置されているチャージボンプ回路用電位発生回路VG1が出力する値である。

【0059】なお、CDR回路100において、チャージボンプ回路用電位発生回路VG1を削除し、チャージボンプ回路20のREF1端子に、外部端子VR1を接続するようにしてもよい。この場合、電圧制御発振回路用電位発生回路VG2によって、電圧制御発振回路40に関して、温度、電源電圧変動に対するCDR回路のバンド幅fbwの変化量を削減することができ、したがって、規格温度、電源電圧範囲で、ジッタトランスファ特性とジッタトレランス特性との双方を満足する回路を、高い設計製造マージンで供給することができる。

【0060】また、CDR回路100において、電圧制御発振回路用電位発生回路VG2を削除し、電圧制御発振回路40のREF2端子に、外部端子VR2を接続するようにしてもよい。この場合、チャージボンプ回路用電位発生回路VG1によって、チャージボンプ回路20に関して、温度、電源電圧変動に対するCDR回路のバンド幅fbwの変化量を削減することができ、したがって、規格温度、電源電圧範囲で、ジッタトランスファ特性とジッタトレランス特性との双方を満足する回路を、高い設計製造マージンで供給することができる。

【0061】図2は、CDR回路100におけるチャージボンプ回路用電位発生回路VG1の具体例を示す回路図である。

【0062】チャージボンプ回路用電位発生回路VG1は、図2に示すように、バンドギャップレファレンス回路を用いる回路であり、これによって、供給電源電圧が変動しても、出力電位を一定値に保つことができ。すなわち、出力電位が、電源電圧に依存せずに一定電圧になるのは、図2に示すバンドギャップレファレンス回路において、抵抗R1、R2を介して、出力電圧Voutをオペアンプの入力端子にフィードバックしているためである。つまり、オペアンプのゲインにおいて、電源電圧が10%程度変化しても、フィードバック精度が殆ど低下しないので、抵抗の値とダイオード接合電圧Vbeとで決定される出力電圧Voutは、高い精度で保持される。また、チャージボンプ回路20の出力電位を、温度に対して一定の勾配で変化させることができる。すなわち、図2に示すバンドギャップレファレンス回路において、ダイオードの接合電圧Vbeが負の温度勾配で変化し、抵抗R1、R2の抵抗値Rが正の温度勾配で変化し、バンドギャップレファレンス回路の出力電圧Voutは、次の式(3)で表される。この温度勾配は、次の式(4)のようになり、抵抗R1、R2、R3の抵抗値の設定によって、ダイオード接合電圧Vbeの温度勾配

を打ち消すと、正の勾配で変化し、ダイオード接合電圧 V_{be} の温度勾配を打ち消さないと、負の勾配で変化させることができる。丁度打ち消し合った場合には、一般

$$V_{out} = V_{be1} + (R3/R2) \cdot (kT/q) \cdot \ln(n \cdot R2/R1) \quad \dots \text{式(3)}$$

$$dV_{out}/dT = dV_{be1}/dT + (k/q) \cdot \ln(n \cdot R2/R1) \quad \dots \text{式(4)}$$

ここで、 V_{be1} は、ダイオード $D1$ の接合電圧であり、 $R1$ 、 $R2$ 、 $R3$ は、抵抗 $R1$ 、 $R2$ 、 $R3$ の抵抗値であり、 n は、ダイオード $D1$ と $D2$ との接合面積比であり、 k は、ボルツマン定数であり、 q は、単位電荷量である。

【0064】チャージポンプ回路20の出力電流 I_p は、温度と電源とに対して、ほぼ線形な増減の勾配を持つ。そして、チャージポンプ回路20の出力電流 I_p は、レファレンス電位 $REF1$ に対しても、ほぼ線形の増減勾配を持つ。

【0065】そして、チャージポンプ回路20が搭載されているチップと同一のチップ上に、チャージポンプ回路用電位発生回路 $VG1$ が搭載され、ほぼ等しい温度で動作する。

【0066】したがって、チャージポンプ回路20の出力電流 I_p の温度勾配と逆勾配で変化する電位を、チャージポンプ回路用電位発生回路 $VG1$ が出力し、このチャージポンプ回路用電位発生回路 $VG1$ の出力電位を、チャージポンプ回路20のレファレンス電位 $REF1$ として供給すれば、温度が変化しても、チャージポンプ回路20の出力電流 I_p の変化が少ない。

【0067】換言すれば、図6に示すチャージポンプ回路は、温度に対して一定の電圧を、レファレンス端子 $REF1$ に与えると、MOSトランジスタのソースドレイン電流が温度の上昇とともに減少するので、出力電流 I_p も温度とともに減少する。この減少分を補償するには、レファレンス端子 $REF1$ に与える電圧を温度とともに上げればよい。よって、チャージポンプ回路用電位発生回路 $VG1$ を、その出力電位が温度に対して上昇するように設計し、図6に示すチャージポンプ回路のレファレンス端子 $REF1$ に与える。チャージポンプ回路用電位発生回路 $VG1$ の出力電位の温度勾配を、チャージポンプ回路20の電流減少量を補うように設定することによって、チャージポンプ回路20の出力電流を、温度に対してほぼ一定に保つことができる。

【0068】これによって、チャージポンプ回路20の出力電流 I_p は、温度や供給電源電圧が変わっても、ほぼ一定の値をとる。

【0069】したがって、式(1)で示されるCDR回路100のバンド幅 f_{bw} において、チャージポンプ回路20の出力電流 I_p の温度・電源電圧変動分が削減される。つまり、特にチャージポンプ回路20の電流制御に、チャージポンプ回路用電位発生回路 $VG1$ を使用す

るバンドギャップレファレンス回路に見られるように、温度勾配がない定電圧を出力することができる。

【0063】

ることによって、チャージポンプ回路20の出力電流 I_p の温度と、電源電圧による増減とを補償して、一定値に近づけることができる。

【0070】また、電圧制御発振回路40の回路例は、図7に示す回路である。

【0071】CDR回路100において、電圧制御発振回路40のレファレンス電位 $REF2$ は、従来例のように一定値が設定されるのではなく、同一チップ上に配置されている電圧制御発振回路用電位発生回路 $VG2$ から与える。

【0072】電圧制御発振回路用電位発生回路 $VG2$ は、図2に示すチャージポンプ回路用電位発生回路 $VG1$ と同様なバンドギャップレファレンス回路であり、これによって、電圧制御発振回路用電位発生回路 $VG2$ の出力電位を供給電源電圧の変動に対して一定値に保つことができる。また、電圧制御発振回路用電位発生回路 $VG2$ の出力電位を、電圧制御発振回路40の温度に対して一定の勾配で変化させることが可能である。

【0073】これは、電圧制御発振回路用電位発生回路 $VG2$ が電圧制御発振回路40と同一のチップ上に搭載され、ほぼ等しい温度で動作するためである。

【0074】電圧制御発振回路40のゲイン $K40$ は、温度と電源とに対して、ほぼ線形な増減の勾配を持つ。そして、ゲイン $K40$ は、レファレンス電位 $REF2$ に対しても、ほぼ線形の増減勾配を持つ。よって、レファレンス電位 $REF2$ として、温度に対して、ゲイン $K40$ の温度勾配と逆勾配で変化する電圧制御発振回路用電位発生回路 $VG2$ の出力電圧を使用する。

【0075】つまり、式(4)において、所望の勾配となるように、図2に示す定電位発生回路 $VG1$ と同様に抵抗 $R1$ 、 $R2$ 、 $R3$ の値を設定する。

【0076】これによって、電圧制御発振回路40のゲイン $K40$ は、温度や供給電源電圧が変わっても、ほぼ一定の値をとる。したがって、式(1)で示されるCDR回路100のバンド幅における電圧制御発振回路40ゲイン $K40$ の温度・電源電圧変動分が削減される。

【0077】図3は、CDR回路100において、STM-16(2.5Gb/s動作)仕様を例として、ジッタトランスファ特性とジッタトレランス特性とを示す図である。

【0078】図3(1)は、CDR回路100におけるジッタトランスファ特性を示す図であり、図3(2)は、CDR回路100におけるジッタトレランス特性を

示す図である。

【0079】上記のように、CDR回路100のバンド幅 f_{bw} は、ジッタトランスファ特性とジッタトレランス特性との双方を満たすように設計しなければならない。しかし、式(1)に示すよう、バンド幅 f_{bw} は、フィルタの抵抗 R_o 、チャージポンプ回路の出力電流 I_p 、電圧制御発振回路40のゲイン K_{40} に比例し、特に、チャージポンプ回路20の出力電流 I_p と電圧制御発振回路のゲイン K_{40} の温度、電源電圧変化とによって、規格内の温度、電圧で十分なマージンを必要とする。

【0080】CDR回路100によれば、チャージポンプ回路20の出力電流 I_p の温度、電源電圧変動を補償し、電圧制御発振回路40のゲイン K_{40} の温度、電源電圧変動を補償したことによって、図3に示すように、CDR回路100のバンド幅 f_{bw} の温度、電源電圧変動に対する変化量を削減できる。これによって、規格温度、電源電圧範囲で、ジッタトランスファ特性とジッタトレランス特性との双方を満たす回路を、高いマージンで供給することができる。

【0081】図4は、本発明の第2の実施例であるCDR回路200を示す回路図である。

【0082】CDR回路200は、位相周波数比較回路(PD)10と、チャージポンプ回路(CP)20と、ループフィルタ(LF)30と、電圧制御発振回路40と、チャージポンプ回路用電位発生回路VG1と、電圧制御発振回路用電位発生回路VG2とを有し、また、シリーズレギュレータ回路SRと、シリーズレギュレータ回路用電位発生回路VG3とを有する。

【0083】特に、チャージポンプ回路用電位発生回路VG1と、電圧制御発振回路用電位発生回路VG2と、シリーズレギュレータ回路用電位発生回路VG3と、シリーズレギュレータ回路SRとは、位相周波数比較回路10と、チャージポンプ回路20と、ループフィルタ30と、電圧制御発振回路40とが搭載されているチップと同一チップ上に配置されている。

【0084】ループフィルタ30は、抵抗 R_o と容量 C_o とが直列に接続されているラグリードフィルタであり、CDR回路200が搭載されているチップの外部に設けられている。

【0085】位相周波数比較回路10の第1の入力端子IN1は、CDR回路200のデータ入力端子に接続されている。位相比較回路10の第2の入力端子IN2は、電圧制御発振回路40の出力端子OUT4に接続され、出力端子OUT4はCDR回路200のクロック出力端子OUT_{ck}2に接続されている。

【0086】位相周波数比較回路10の出力端子OUT1は、CDR回路200のデータ出力端子OUT_d2に接続され、位相周波数比較回路10の出力端子UP、DNは、チャージポンプ回路20の入力端子UP、DN

に、それぞれ接続されている。チャージポンプ回路20の出力端子OUT2は、ループフィルタ30の入力端子INに接続され、ループフィルタ30の出力端子OUT3は、電圧制御発振回路40の周波数制御端子CONTに接続されている。

【0087】CDR回路200のチャージポンプ回路20のレファレンス入力端子REF1は、チャージポンプ回路用電位発生回路VG1の電位出力端子に接続されている。電圧制御発振回路40のレファレンス入力端子REF2は、電圧制御発振回路用電位発生回路VG2の電位出力端子に接続されている。シリーズレギュレータ回路SRのレファレンス入力端子は、電位発生回路VG3の電位出力端子に接続されている。

【0088】CDR回路200において、位相周波数比較回路10、チャージポンプ回路20、電圧制御発振回路40の各電源端子は、シリーズレギュレータ回路SRの電位出力端子と接続されている。

【0089】チャージポンプ回路用電位発生回路VG1、電圧制御発振回路用電位発生回路VG2、シリーズレギュレータ回路用電位発生回路VG3の各電源端子、シリーズレギュレータ回路SRの電源端子は、それぞれ、外部電源VDD4、VDD5、VDD6、VDD7の出力端子に接続されている。

【0090】また、位相周波数比較回路10、チャージポンプ回路20、ループフィルタ30、電圧制御発振回路40、各電位発生回路VG1、VG2、VG3、シリーズレギュレータ回路SRの各グランド端子は、チップの外部で接地されている。

【0091】CDR回路200の基本動作は、CDR回路100の基本動作と同様であり、その説明を省略する。ここでは、CDR回路200における設計マージンが、CDR回路100における設計マージンよりも、さらに増加することについて説明する。

【0092】CDR回路を設計する場合、ジッタトランスファ特性のバンド幅 f_{bw} と、ジッタトレランス特性のバンド幅 f_{bw} との双方を満たすように設計しなければならない。ところで、バンド幅 f_{bw} は、式(1)に示すように、フィルタの抵抗 R_o 、チャージポンプ回路20の出力電流 I_p 、電圧制御発振回路40のゲイン K_{40} 、位相周波数比較回路10のゲイン K_{10} に比例する。

【0093】チャージポンプ回路20の出力電流 I_p と、電圧制御発振回路40のゲイン K_{40} との温度、電源電圧変化については、CDR回路100によって補償することができる。

【0094】ところで、CDR回路200において、電位発生回路VG3は、シリーズレギュレータ回路SRのレファレンス電位を発生し、シリーズレギュレータ回路SRは、そのレファレンス電位に基づいて、一定電圧を位相周波数比較回路10と、チャージポンプ回路20

と、電圧制御発振回路40とに供給する。位相周波数比較回路10のゲイン K_{10} も、温度・電源電圧によって変化する。

【0095】電位発生回路VG3には、位相周波数比較回路10のゲイン K_{10} の変動を補償する温度・電圧勾配を設定する。特に、同一チップに配置されている電位発生回路VG3は、位相周波数比較回路10の温度を感知し、補償するように動作する。これによって、規格温度、電源電圧範囲で、ジッタトランスファ特性とジッタトレランス特性との双方を満足する回路を、高いマージンで供給することができる。

【0096】つまり、温度-40度～85度（摂氏）の範囲で、電源電圧の±10%の変動に対して、CDRループゲインの変動は、従来、約±15%であったが、CDR回路200によれば、CDRループゲインの変動を、従来の3分の1である約±5%に低減することができる。

【0097】すなわち、CDR回路200によれば、チャージポンプ回路20の出力電流 I_p の温度、電源電圧変動を補償することができ、また、電圧制御発振回路40のゲイン K_{40} の温度、電源電圧変動を補償することができ、さらに、位相周波数比較回路のゲイン K_{10} の温度、電源電圧変動を補償したことによって、CDR回路200のバンド幅 f_{bw} の温度、電源電圧変動に対する変化量を削減することができる。したがって、規格温度、電源電圧範囲で、ジッタトランスファ特性とジッタトレランス特性との双方を満足するCDR回路を、高い設計製造マージンで提供することができる。

【0098】上記実施例によれば、温度と電源電圧との変動によるCDRループのバンド幅変動を抑えることができ、これによって、SONET/SDH規格を満足し、しかも、製造歩留まりが優れているCDR回路を提供することができる。

【0099】

【発明の効果】本発明によれば、温度、電源電圧変動に

対して、CDR回路のバンド幅 f_{bw} の変化量を削減することができ、したがって、規格温度、電源電圧範囲で、ジッタトランスファ特性とジッタトレランス特性との双方を満足するCDR回路を、高い設計製造マージンで提供することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例であるCDR回路100を示す回路図である。

【図2】CDR回路100におけるチャージポンプ回路用電位発生回路VG1の具体例を示す回路図である。

【図3】CDR回路100において、STM-16（2.5Gb/s動作）仕様を例として、ジッタトランスファ特性とジッタトレランス特性とを示す図である。

【図4】本発明の第2の実施例であるCDR回路200を示す回路図である。

【図5】従来のCDR回路500を示す図である。

【図6】チャージポンプ回路20の回路を示す図である。

【図7】電圧制御発振回路40の回路例を示す図である。

【図8】従来のCDR回路500において、STM-16（2.5Gb/s動作）仕様を例にとって、ジッタトランスファ特性とジッタトレランス特性とを示す図である。

【符号の説明】

100、200…CDR回路、

10…位相周波数比較回路、

20…チャージポンプ回路、

30…ループフィルタ、

40…電圧制御発振回路、

VG1…チャージポンプ回路用電位発生回路、

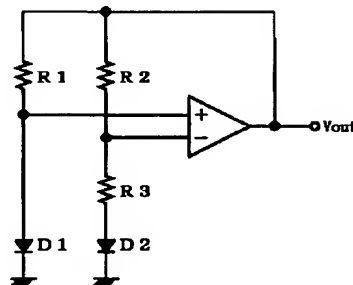
VG2…電圧制御発振回路用電位発生回路、

VG3…シリーズレギュレータ回路用電位発生回路、

SR…シリーズレギュレータ回路。

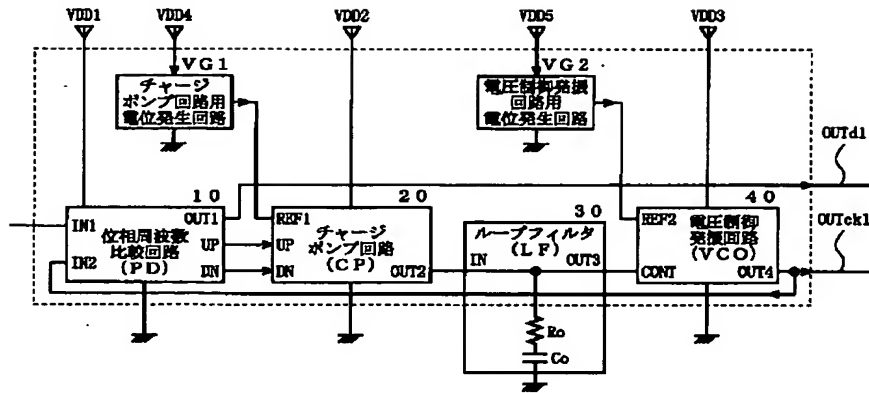
【図2】

VG1：電位発生回路



【図1】

100: CDR回路

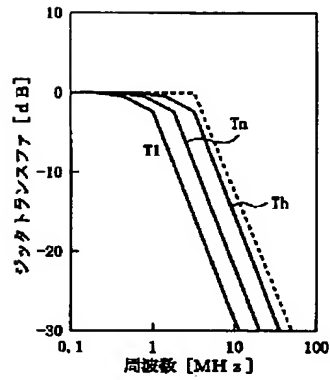


【図3】

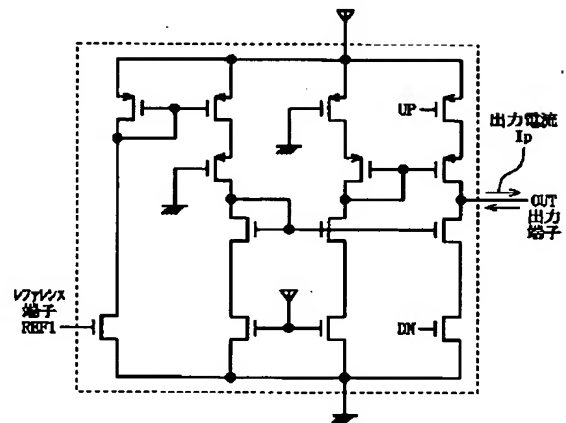
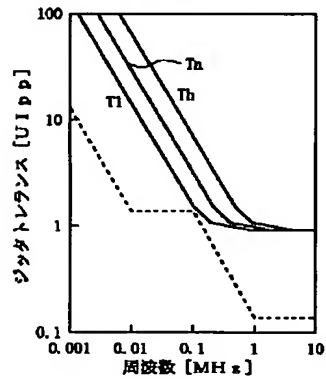
【図6】

(1)

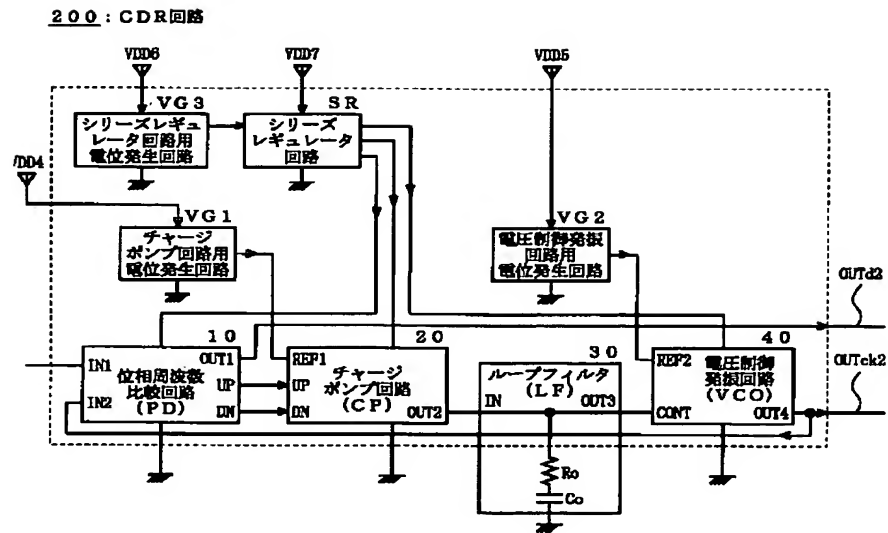
20: チャージポンプ回路



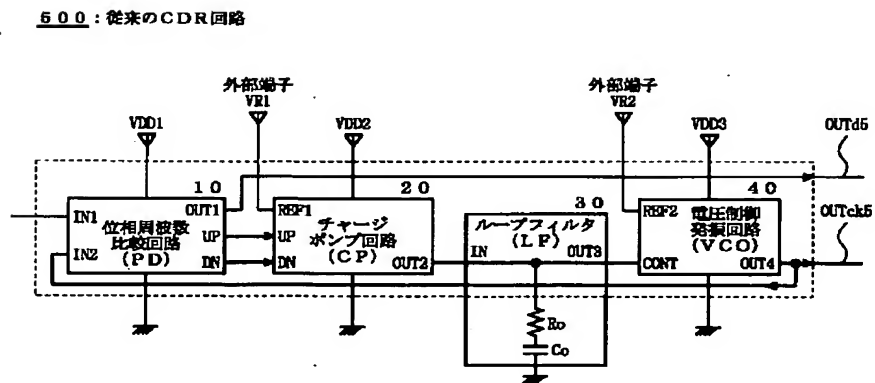
(2)



【図4】

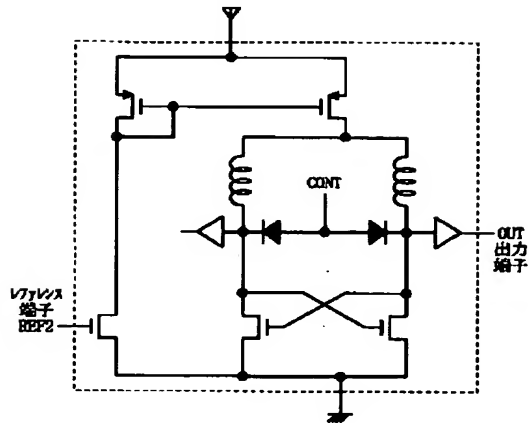


【図5】



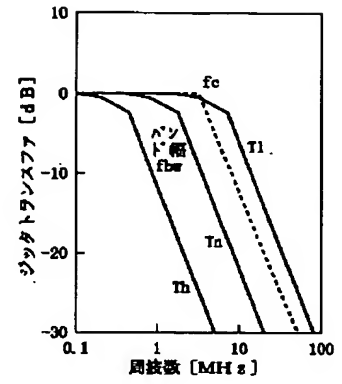
【図7】

40: 電圧制御発振回路



【図8】

(1)



(2)

